

Clase 10 ¹ - Electrostática de la estructura Metal-Óxido-Semiconductor (II)

Contenido:

1. Análisis general de la juntura MOS con tensión de polarización
2. Régimen de Vaciamiento (*Depletion regime*)
3. Tensión de Banda Plana (*Flatband*)
4. Régimen de Acumulación (*Accumulation regime*)
5. Tensión Umbral (*Threshold*)
6. Régimen de Inversión (*Inversion regime*)
7. Distintas combinaciones poly-sustrato
8. Efecto capacitivo de la estructura MOS

Lectura recomendada:

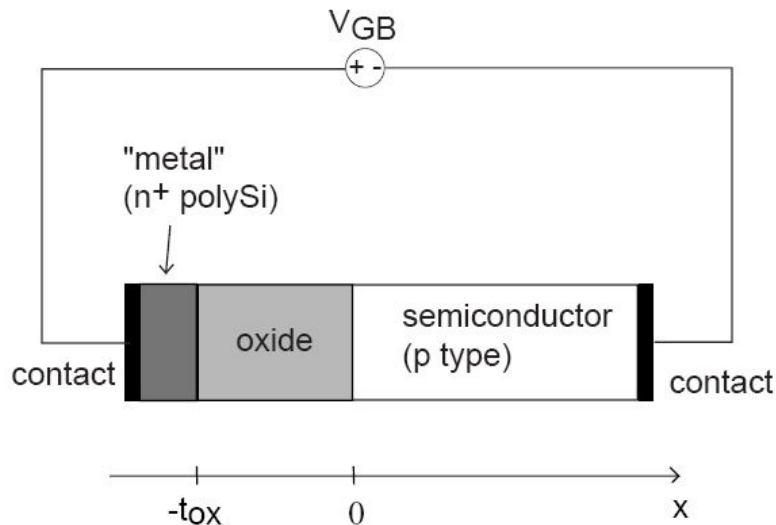
- Müller, Kamins, “Device Electronics for Integrated Circuits”, Ch. 8, §§8.1–8.4.
- Pedro Julian, “Introducción a la Microelectronica”, Ch. 4, §§4.2–4.4.
- Howe, Sodini, “Microelectronics: An Integrated Approach”, Ch. 3, §§3.8–3.9.

¹Esta clase es una traducción, realizada por los docentes del curso “Dispositivos Semiconductores” de la FIUBA, de la correspondiente hecha por el prof. Jesús A. de Alamo para el curso “6.012 - Microelectronic Devices and Circuits” del MIT. Cualquier error debe adjudicarse a la traducción.

Preguntas disparadoras:

- ¿Existe más de un régimen de operación de la estructura MOS polarizada?
- ¿Qué significa la "inversión de portadores" y qué tiene de particular?
- ¿Cómo depende la carga de inversión de portadores del potencial de Gate?
- ¿La estructura MOS presenta un comportamiento capacitivo?

1. Análisis general de la electrostática de la juntura MOS con polarización aplicada



Al aplicar una pequeña tensión de polarización V_{GB} :

- El potencial built-in a lo largo de la estructura MOS aumenta de ϕ_B a $\phi_B + V_{GB}$
- El óxido impide la circulación de corriente \Rightarrow
 - $J = 0$ en todo punto en el semiconductor
 - necesitamos *arrastre* = – *difusión* en SCR
- Se debe preservar la condición de contorno en la interfaz Si/SiO₂ : $E_{ox}/E_s \simeq 3$

¿Cómo pueden satisfacerse todas estas condiciones a la vez? \Rightarrow *situación de cuasi equilibrio* con diferencia de potencial total en el MOS igual a $\phi_B + V_{GB}$

Consecuencias importantes del cuasi-equilibrio:

⇒ La relación de Boltzmann se cumple en el semiconductor (fue derivada a partir de $J_e = J_h = 0$):

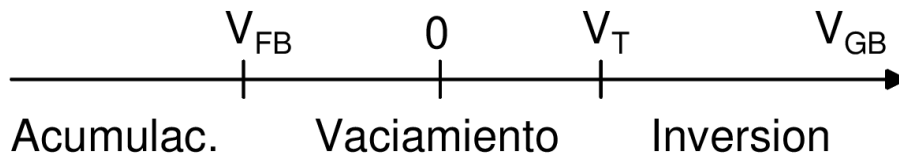
$$n(x) = n_i \exp\left(\frac{q\phi(x)}{kT}\right)$$

$$p(x) = n_i \exp\left(-\frac{q\phi(x)}{kT}\right)$$

y

$$n_o p_o = n_i^2 \quad \text{para todo } x$$

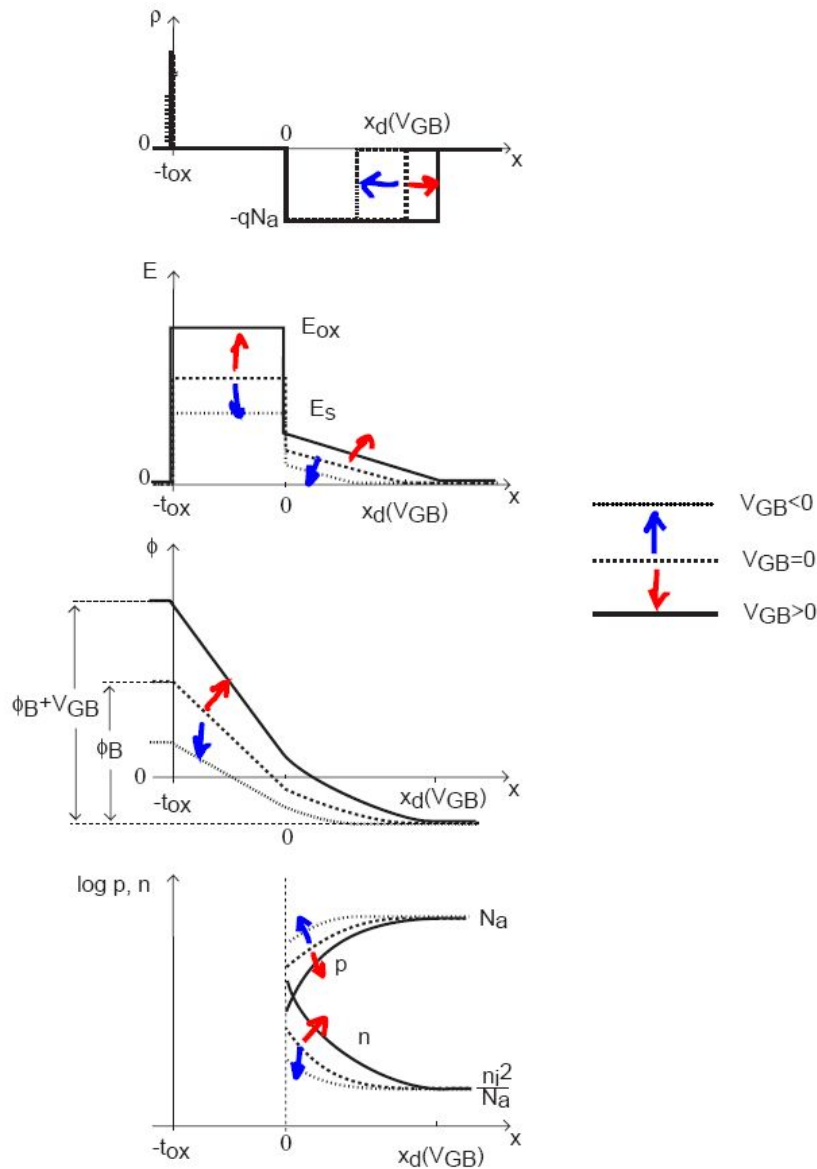
A continuación estudiaremos el comportamiento de la juntura en función de la tensión V_{GB} para el caso poly N (gate) - sustrato P (semiconductor). Existen 3 regiones de operación delimitadas por 2 tensiones con nombre propio:



2. Régimen de vaciamiento

Para $V_{GB} > 0$: la fuente mueve huecos desde el sustrato hacia el gate \Rightarrow la región de vaciamiento crece.

Para $V_{GB} < 0$: la fuente mueve huecos desde el gate hacia el sustrato \Rightarrow la región de vaciamiento se contrae.



En el régimen de vaciamiento son validos todos los resultados obtenidos para $V_{GB} = 0$ mediante $\phi_B \rightarrow \phi_B + V_{GB}$.

Por ejemplo:

- extensión de la zona de vaciamiento:

$$x_d(V_{GB}) = \frac{\epsilon_s}{C'_{ox}} \left[\sqrt{1 + \frac{4(\phi_B + V_{GB})}{\gamma^2}} - 1 \right]$$

- Caída de potencial a lo largo de la región SCR del semiconductor:

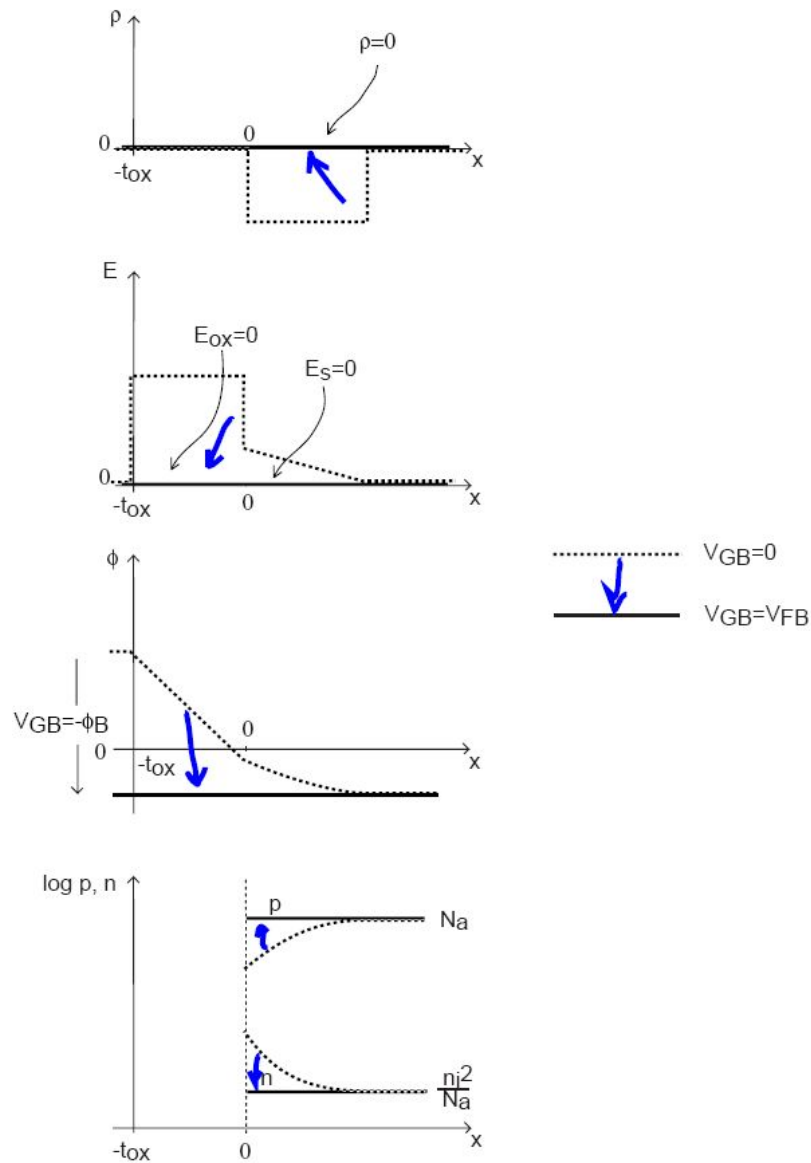
$$V_B(V_{GB}) = \frac{qN_a x_d^2(V_{GB})}{2\epsilon_s}$$

- Caída de tensión a lo largo del oxido:

$$V_{ox}(V_{GB}) = \frac{qN_a x_d(V_{GB}) t_{ox}}{\epsilon_{ox}}$$

3. Flatband

Para cierta tensión V_{GB} negativa la región de vaciamiento desaparece \Rightarrow *Flatband*

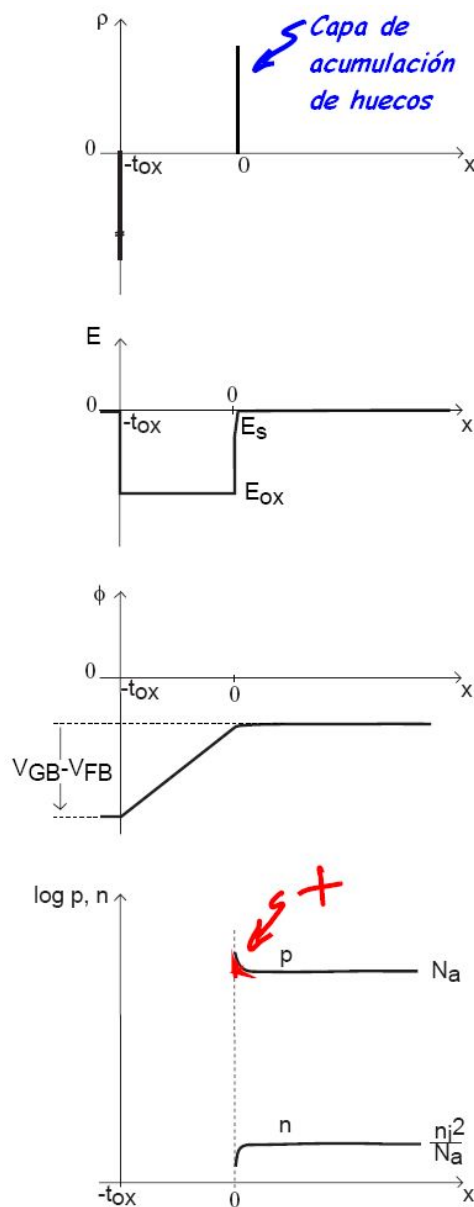


Tensión de Flatband:

$$V_{FB} = -\phi_B$$

4. Régimen de acumulación

Si $V_{GB} < V_{FB}$ hay *acumulación* de huecos en la interfaz Si/SiO₂

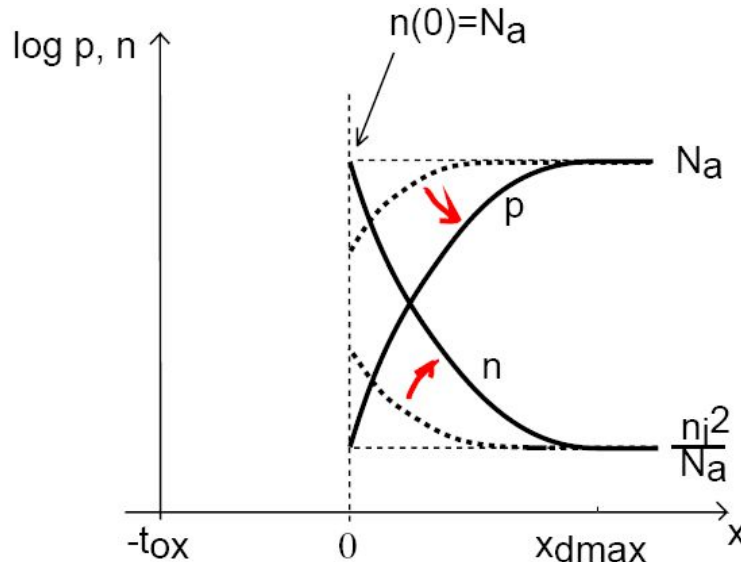


5. Tensión Umbral, *Threshold*

Volvamos a $V_{GB} > 0$.

Para $V_{GB} > 0$ suficientemente grande la electrostática cambia cuando $n(0) = N_a \Rightarrow$ *umbral*.

Superado el *umbral*, no se puede despreciar la contribución de los electrones a la electrostática.



Calculemos la *Tensión Umbral* (V_T), es decir la tensión de compuerta que produce: $n(0) = N_a$.

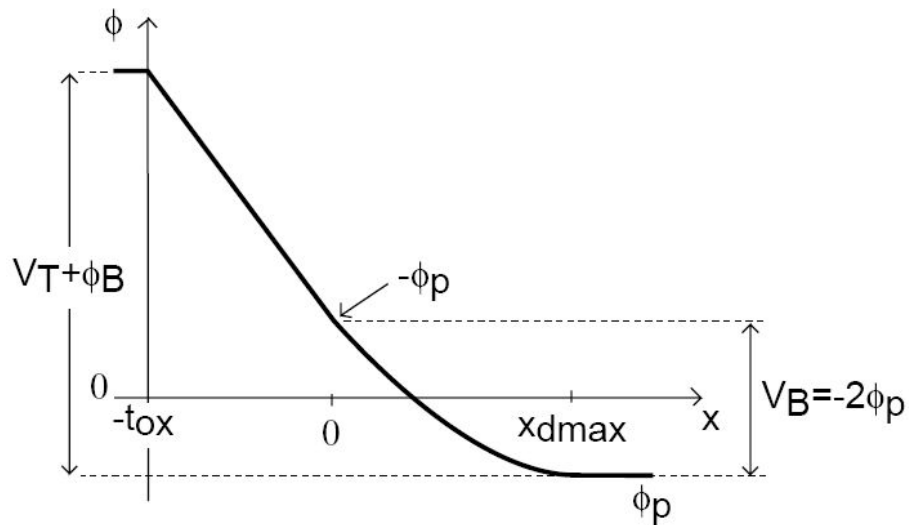
Principal hipótesis: utilizar la electrostática de vaciamiento (despreciar la concentración de electrones para tensión umbral).

□ Cálculo de la tensión umbral.

Require tres pasos:

- Primero, calculamos $\phi(0)$ para $V_{GB} = V_T$:

$$\phi(0)|_{V_T} = \frac{kT}{q} \ln \left(\frac{n(0)|_{V_T}}{n_i} \right) = \frac{kT}{q} \ln \left(\frac{N_a}{n_i} \right) = -\phi_p$$



Resultando:

$$V_B(V_T) = -2\phi_p$$

- Segundo, calculamos la caída de potencia potencial en el óxido para la tensión umbral.

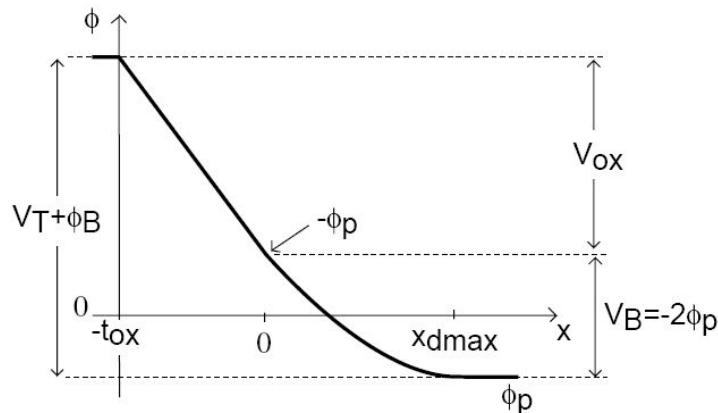
$$V_{ox}(V_T) = E_{ox}(V_T) t_{ox} = \frac{q N_a x_d(V_T)}{\epsilon_{ox}} t_{ox}$$

Obtenemos $x_d(V_T)$ usando la relación entre V_B y x_d en vaciamiento:

$$V_B(V_T) = \frac{q N_a x_d^2(V_T)}{2 \epsilon_s} = -2 \phi_p$$

Despejamos $x_d(V_T)$:

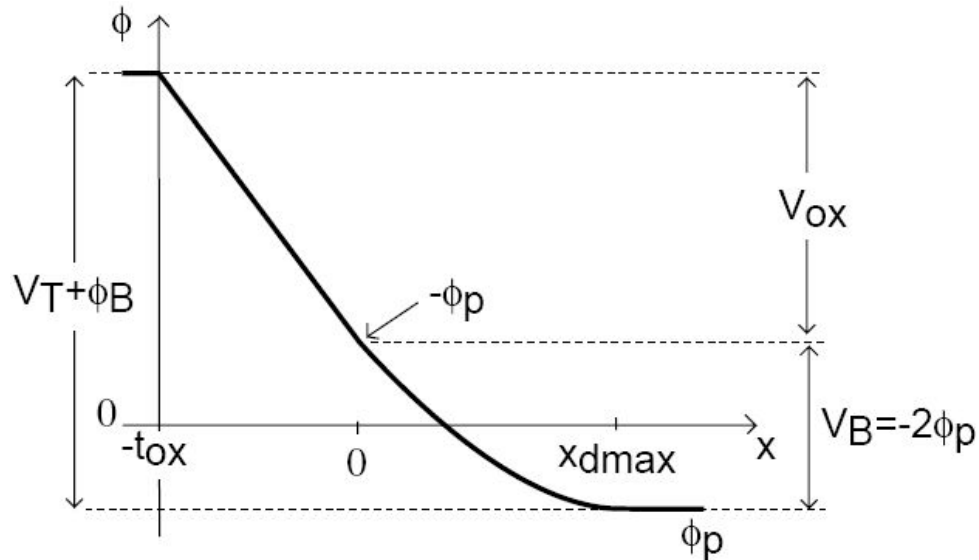
$$x_d(V_T) = x_{dmax} = \sqrt{\frac{2 \epsilon_s (-2 \phi_p)}{q N_a}}$$



Luego:

$$V_{ox}(V_T) = \frac{q N_a x_d(V_T)}{\epsilon_{ox}} t_{ox} = \gamma \sqrt{-2 \phi_p}$$

- Finalmente, sumamos las caídas de potencial en toda la estructura.



$$V_T + \phi_B = V_B(V_T) + V_{ox}(V_T) = -2\phi_p + \gamma\sqrt{-2\phi_p}$$

Siendo: $\phi_B = -V_{FB}$, se despeja V_T :

$$V_T = V_{FB} - 2\phi_p + \gamma\sqrt{-2\phi_p}$$

Principales dependencias:

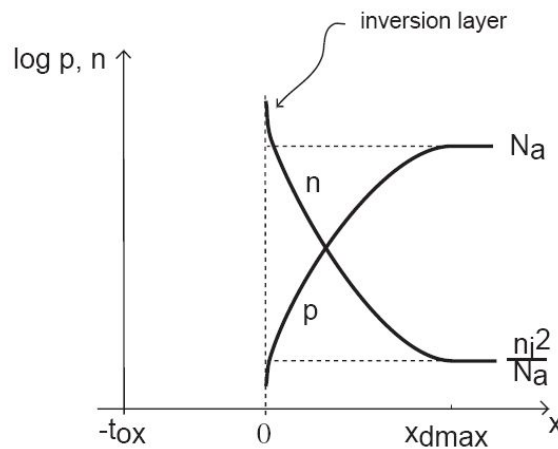
- Si $N_a \uparrow \rightarrow V_T \uparrow$. A mayor dopaje, mayor tensión requerida para producir $n(0) = N_a$.

- Si $C'_{ox} \uparrow$ ($t_{ox} \downarrow$) $\rightarrow V_T \downarrow$. Para oxido más delgado, es menor la caída de tensión en él.

6. Inversión

¿Qué ocurre para $V_{GB} > V_T$?

La concentración de electrones en la interfaz Si/SiO₂ supera a la concentración de átomos aceptores
 \Rightarrow se produce la *inversión* del material.



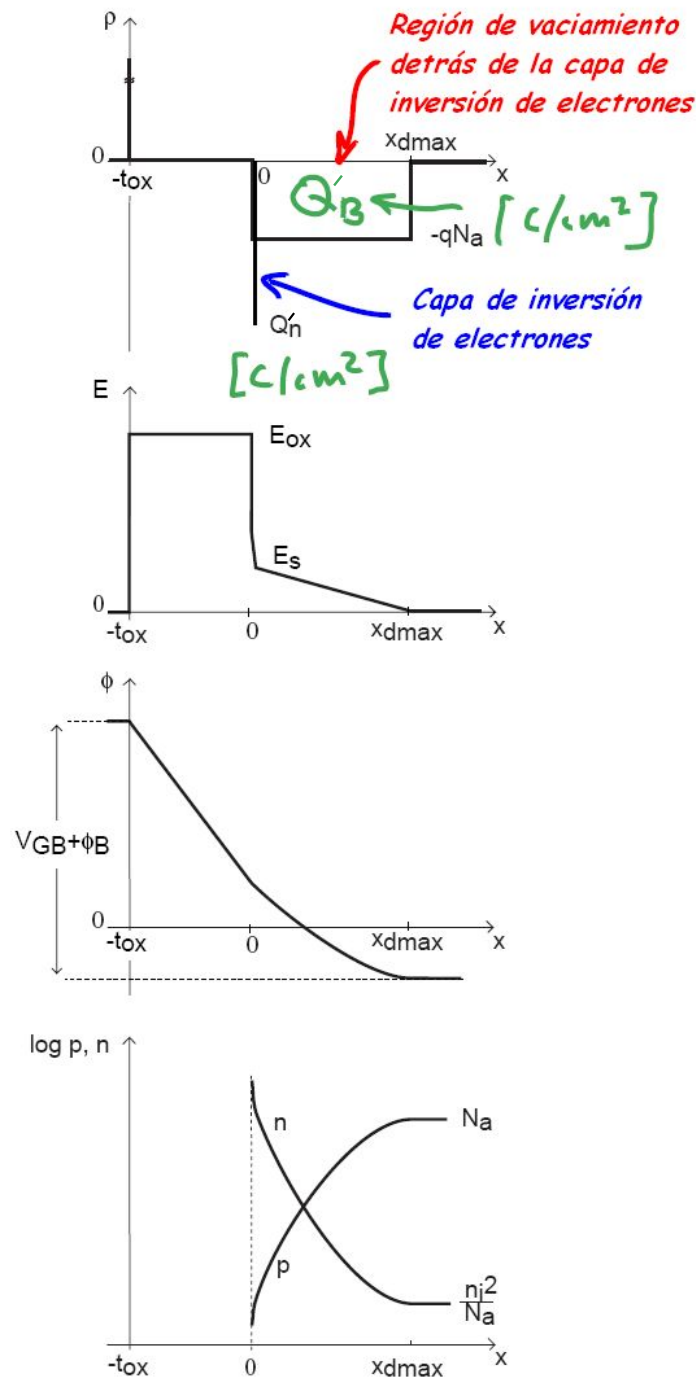
La concentración de electrones en la interfaz Si/SiO₂ está modulada por $V_{GB} \Rightarrow V_{GB} \uparrow \rightarrow n(0) \uparrow \rightarrow |Q'_n| \uparrow$

El campo eléctrico controla la densidad de la carga móvil. Esta es la esencia del MOSFET.

Para calcular Q'_n vs. V_{GB} utilizaremos la *aproximación de carga superficial*: la capa de electrones en la superficie del semiconductor es mucho más delgada que cualquier otra dimensión del problema (t_{ox} , x_d).

□ Relación Carga (Q'_n) vs. Tensión de control (V_{GB})

Veamos como es globalmente la electrostática del MOS:



Tenemos que:

$$|Q'_n| \propto n(0) \propto e^{q\phi(0)/kT}$$

(Carga en la capa de inversión)

$$|Q'_B| \propto \sqrt{\phi(0)}$$

(Carga en la región de vaciamiento)

Entonces, a medida que $V_{GB} \uparrow$ y $\phi(0) \uparrow$, $|Q'_n|$ cambiará mucho, pero $|Q'_B|$ cambiará muy poco.

Varias consecuencias:

- x_d no aumenta demasiado después de superado el umbral:

$$x_d(inv.) \simeq x_d(V_T) = \sqrt{\frac{2\epsilon_s(-2\phi_p)}{qN_a}} = x_{dmax}$$

- V_B no aumenta demasiado después de superado el umbral:

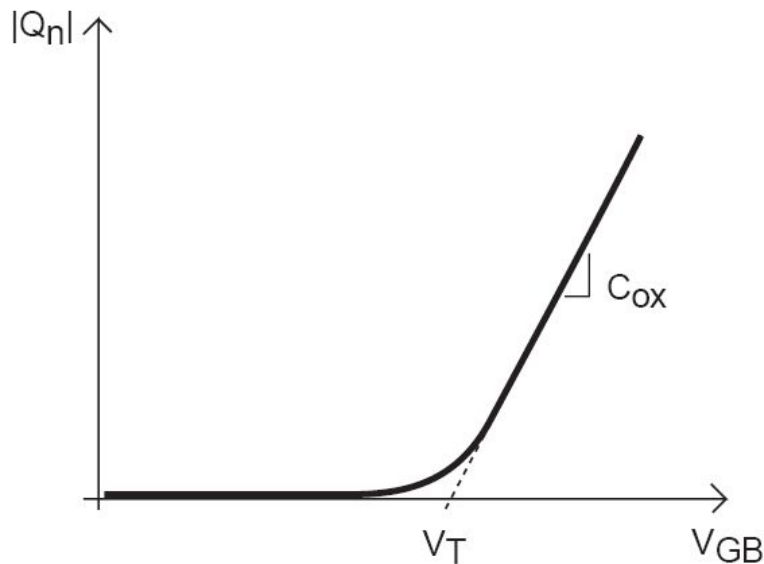
$$V_B(inv.) \simeq V_B(V_T) = -2\phi_p$$

- Todo la diferencia de potencial adicional una vez superado V_T es utilizado par aumentar la inversión de carga Q'_n . Pensemos en esto como en un capacitor:
 - cara superior: El gate de polysilicio
 - cara inferior: La capa de inversión

$$Q' = C'V$$

$$\Rightarrow Q'_n = -C'_{ox}(V_{GB} - V_T) \quad \text{para } V_{GB} > V_T$$

El control de Q'_n mediante $V_{GB} \Rightarrow$ la clave de la electrónica del MOS.



7. Distintas combinaciones poly-sustrato

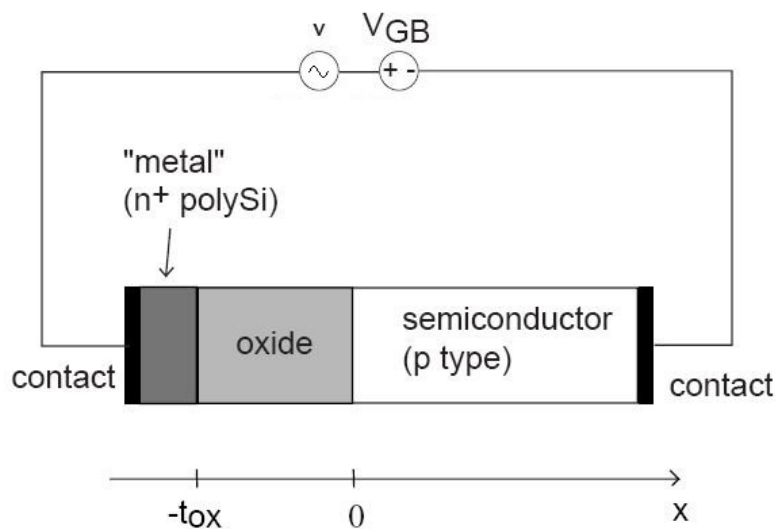
¿Cómo cambian los parámetros eléctricos de la estructura si se fabrica con distintos dopajes en la compuerta y el sustrato?

Gate	Subs	ϕ_{gate}	ϕ_{subs}	$V_{FB} = -\phi_B$	V_T
N ⁺⁺	P	550 mV	$-550 \text{ mV} < \phi_p < 0$	< 0	$> V_{FB}$
P ⁺⁺	N	-550 mV	$550 \text{ mV} > \phi_n > 0$	> 0	$< V_{FB}$
P ⁺⁺	P	-550 mV	$-550 \text{ mV} < \phi_p < 0$	> 0	$> V_{FB} > 0$
N ⁺⁺	N	550 mV	$550 \text{ mV} > \phi_n > 0$	< 0	$< V_{FB} < 0$

8. Capacidad de la estructura MOS

La estructura MOS es muy similar a un capacitor de placas planas paralelas, donde una de las placas se constituye con un semiconductor en lugar de un metal.

Entonces, ¿existe un efecto capacitivo en esta estructura?

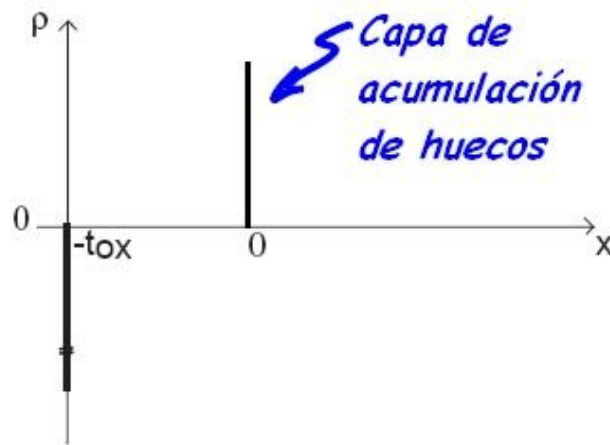


$$C' = \left. \frac{dQ'(v_{GB})}{dv_{GB}} \right|_{V_{GB}}$$

Luego multiplicando por el área de la juntura se obtiene el valor de capacidad.

Repasemos qué ocurre con la carga en la estructura en los distintos regímenes de operación.

□ *Acumulación*: $V_{GB} < V_{FB}$



Toda la carga se encuentra en la interfaz con el aislante, y el potencial eléctrico se aplica al aislante.

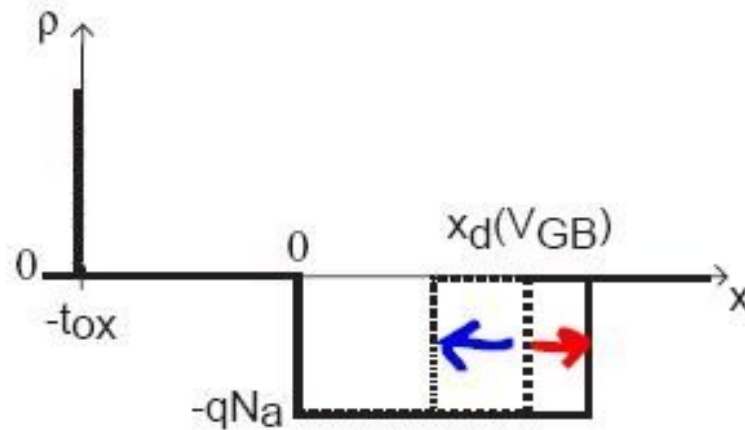
$$v_{ox} = v_{GB} - V_{FB} = E t_{ox}$$

La carga por unidad de área en el en la compuerta es:

$$Q'(v_{GB}) = \frac{\epsilon_{ox}}{t_{ox}} (v_{GB} - V_{FB}) = C'_{ox} (v_{GB} - V_{FB})$$

$$C' = C'_{ox}$$

□ *Vaciamiento*: $V_{FB} < V_{GB} < V_T$



La carga se distribuye a lo largo de la SCR. La extensión de la SCR depende de v_{GB} .

$$Q'(v_{GB}) = q N_a x_d(v_{GB})$$

$$x_d(v_{GB}) = \frac{\epsilon_s}{C'_{ox}} \left[\sqrt{1 + \frac{4(\phi_B + v_{GB})}{\gamma^2}} - 1 \right]$$

$$C' = q N_a \left. \frac{d x_d(v_{GB})}{d v_{GB}} \right|_{V_{GB}} = \frac{C'_{ox}}{\sqrt{1 + \frac{4(\phi_B + v_{GB})}{\gamma^2}}}$$

En vaciamiento, la capacidad disminuye a medida que aumenta la tensión aplicada.

Considerando:

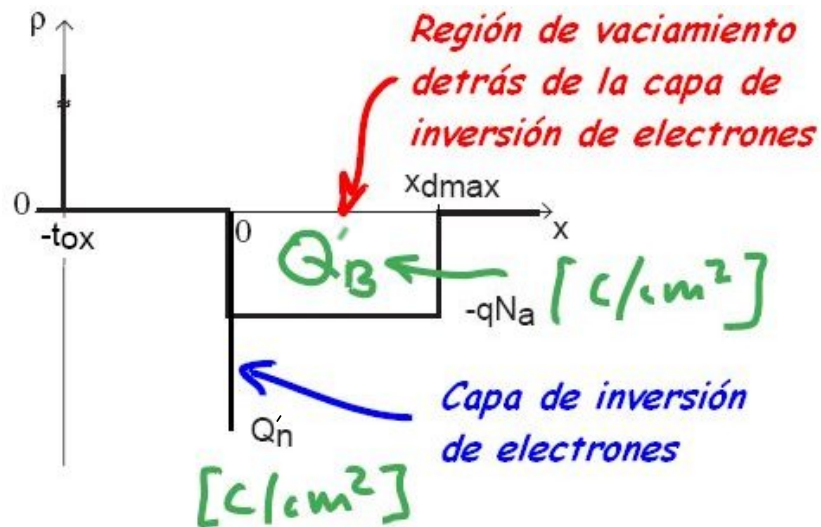
$$C'_{vac} = \frac{\epsilon_s}{x_d(v_{GB})}$$

Puede reescribirse la ecuación de la siguiente forma:

$$C' = \frac{C'_{vac} C'_{ox}}{C'_{vac} + C'_{ox}}$$

Desde el punto de vista eléctrico esto puede considerarse como dos capacitores en serie.

□ *Inversión:* $V_{GB} > V_T$



La carga en la SCR se mantiene fija, la extensión de la SCR llega a un valor máximo.

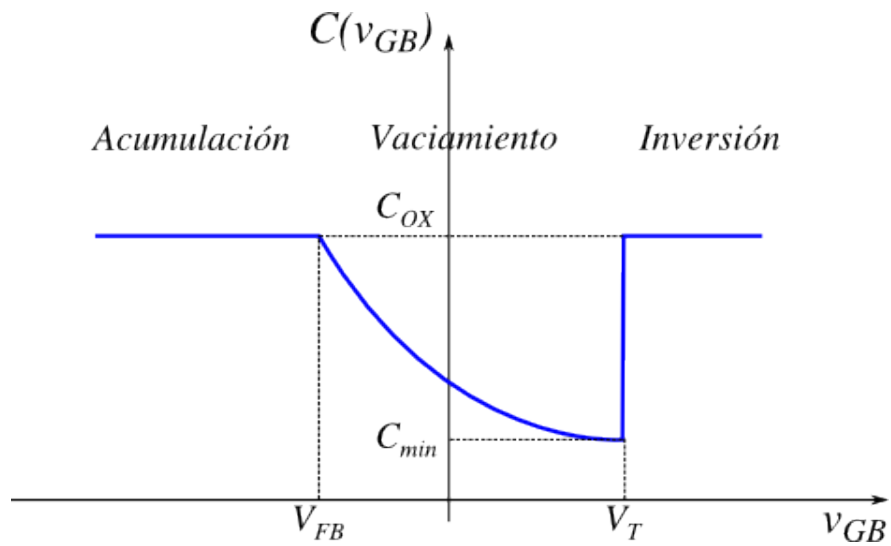
La variación de carga se produce en la capa de inversión, en la interfaz con el aislante.

$$Q'(v_{GB}) = C'_{ox} (v_{GB} - V_T) + q N_a x_{max}$$

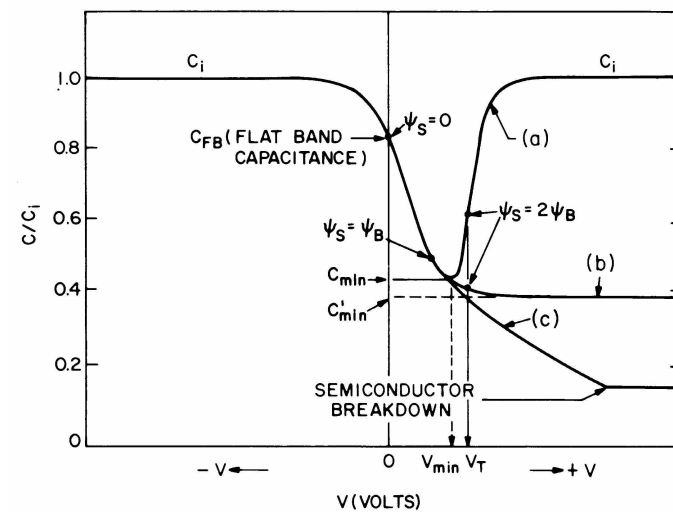
$$x_{max} = x_d(V_T) \neq f(v_{GB})$$

$$C' = C'_{ox}$$

□ Curva C-V teórica

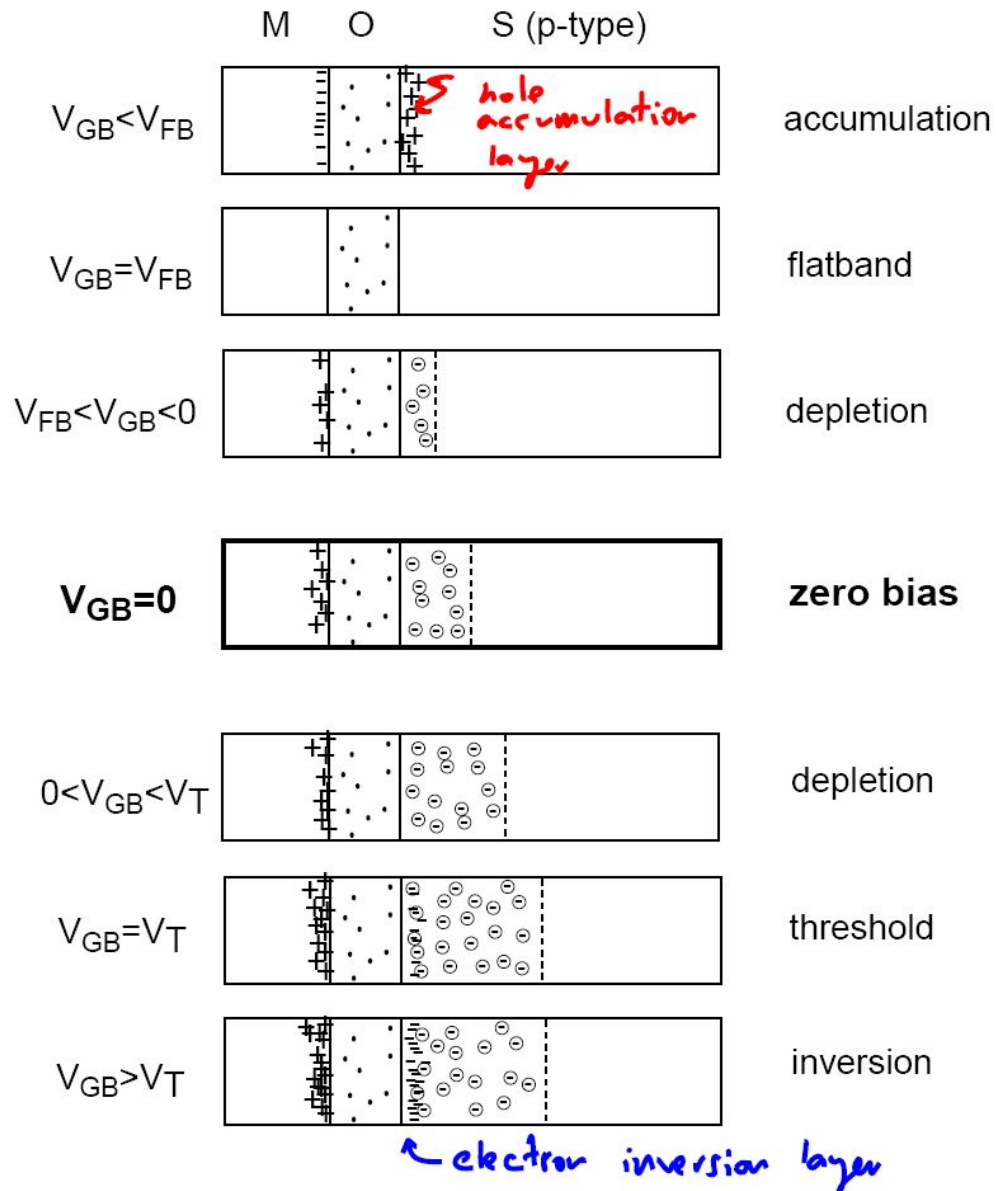


□ Curva C-V real



Fuente: S.M.Sze, "Physics of Semiconductor Devices", Jhon Wiley and Sons, 1981.

Principales conclusiones



- En inversión:

$$|Q'_n| = C'_{ox}(V_{GB} - V_T) \quad \text{para } V_{GB} > V_T$$

- La estructura MOS tiene capacidad variable que depende del valor de polarización

